

PAT-NO: JP02000267770A

DOCUMENT-IDENTIFIER: JP 2000267770 A

TITLE: POWER SAVING SYSTEM

PUBN-DATE: September 29, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KOSAKA, YOSHIAKI	N/A
MIZUSAKI, YASUYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA DIGITAL MEDIA ENGINEERING CORP	N/A
TOSHIBA CORP	N/A

APPL-NO: JP11076060

APPL-DATE: March 19, 1999

INT-CL (IPC): G06F001/32, G06F001/04 , H04L029/00

ABSTRACT:

PROBLEM TO BE SOLVED: To make stoppable the operation of a system clock generation part and to make suppressible the power consumption by counting the system clock in response to the output of a cable connection detection means and controlling the system operation according to a pattern where the count value of the system clock becomes equal to a prescribed value.

SOLUTION: Connection detection circuits 10, 20 and 30 of respective cable connection ports output H when a cable is connected and output L when no cable is connected. An up counter 50 receives a signal from an OR gate 40 and counts the system clock signals. A pattern detection circuit 60 outputs H when the count value of the counter 50 reaches or exceeds the prescribed value and otherwise outputs L. An AND gate 70 outputs the output signal of the circuit 60 when a power saving enable signal is H. A system clock generation means 80 stops the oscillations of a crystal oscillation circuit and a VCO to stop the supply of the system clock when the output of the gate 70 is H.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-267770
(P2000-267770A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 6 F 1/32		G 0 6 F 1/00	3 3 2 Z 5 B 0 1 1
1/04	3 0 1	1/04	3 0 1 C 5 B 0 7 9
H 0 4 L 29/00		H 0 4 L 13/00	T 5 K 0 3 4

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-76060

(22) 出願日 平成11年3月19日 (1999.3.19)

(71) 出願人 390010308

東芝デジタルメディアエンジニアリング株式会社

東京都青梅市新町3丁目3番地の1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高坂 吉昭

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

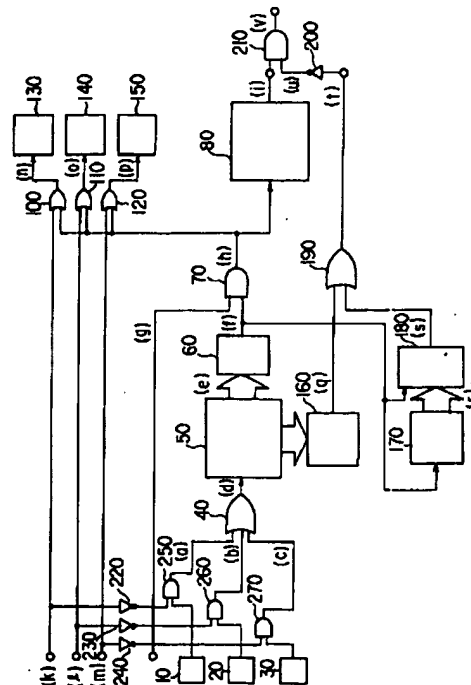
最終頁に続く

(54) 【発明の名称】 パワーセーブシステム

(57) 【要約】

【課題】 シリアルまたはパラレルでデータの通信を行う機器において、ケーブルが未接続の場合には、これらの機器の消費する電力の殆どは無駄な電力の消費となっている。特に、バッテリー等の蓄電池で駆動される機器については、無駄な電力の消費は動作時間の縮小に影響する為、重大な問題であった。

【解決手段】 通信のケーブル接続情報から、ケーブルの未接続を検知し、機器のシステムクロックを制御し、システムをパワーセーブ状態に移行させる。



【特許請求の範囲】

【請求項1】ケーブルの接続の有無を検出するケーブルの接続検出手段と、
前記ケーブルの接続検出手段の出力に応じてシステムクロックをカウントするカウント手段と、
前記カウント手段のカウント値が所定の値となることを検出するパターン検出手段と、
前記パターン検出手段の検出結果に応じてシステムの動作を制御するシステムクロック発生手段とを具備することを特徴とするパワーセーブシステム。

【請求項2】前記システムクロック発生手段は、システムクロックを発生する水晶発振回路と、
電圧制御発振回路と、
前記電圧制御発振回路の発振信号を所定の値に分周する分周回路と、
前記分周信号と前記基準クロックの位相を比較する位相比較器と、
前記位相比較器の出力を平滑するローパスフィルタから構成され、
前記水晶発振回路と前記電圧制御発振回路の発振動作自体を動作許可または動作停止することを特徴とする請求項1記載のパワーセーブシステム。

【請求項3】前記水晶発振回路からのシステムクロックの動作が停止した一定期間前と、前記動作停止からの復帰の一定時間後との所定のタイミングを周辺回路に通知する手段と、
前記周辺回路の動作状態の初期化を行う手段とを具備したことを特徴とする請求項1または請求項2までのいずれか1項に記載のパワーセーブシステム。

【請求項4】前記システムクロックの動作の停止を伝える信号を、ケーブルポートインターフェースのアナログ回路ブロックに供給し、前記ケーブル接続検出手段部分以外のアナログ回路の動作を停止させることを特徴とするを具備したことを特徴とする請求項1から請求項3までのいずれか1項に記載のパワーセーブシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、機器が消費する電力を低く押さえるもので、主にデータの通信を行う機器等において使用されるパワーセーブシステムに関する。

【0002】

【従来の技術】従来の一般の電気機器においては、電源の供給を行うことで、機器としての動作を開始し、電源の供給が終了するまで、その機器の動作目的に関係無く、絶えず電力を消費している状態にある。特に、ケーブルを用いてデータの通信を行うような機器においては、ケーブルが未接続の場合には、データの通信が不可能であり、これらの機器が消費する電力の殆どは無駄な電力の消費となっている。特に、バッテリー等の蓄電池で駆動される機器については、無駄な電力の消費は動作

時間の縮小に影響する為、重大な問題になっている。

【0003】一般に、従来の通信システムでは、1. ケーブルの送受信を行うポートインターフェース部と、
2. 上位層の情報処理部とのインターフェースロジック部と、3. 水晶発振器のクロックを逡倍したシステムクロック（基準クロック）の発生部の前記3つの機能部分を物理層（最下層）に備えている。前記物理層で発生される送受信データに同期しているシステムクロック（基準クロック）は、システム全体の動作に使用されるため、物理層と上位層を分割したシステムでは、物理層から上位層へのクロックの供給が必要となる。

【0004】その為、通信を行わない時（ケーブルが接続されていない場合など）は、物理層は上記の2. のロジック部分へのクロック供給を停止する事は可能であるが、システム全体へのクロック供給を停止することができない為、上記3. のシステムクロックの発生部を停止させ、消費電力を十分に低く抑える事は困難であった。

【0005】

【発明が解決しようとする課題】一般の電気機器においては、電源の供給を行うことで、機器としての動作を開始し、電源の供給が終了するまで、その機器の動作目的に関係無く、絶えず電力を消費している。特に、ケーブルを用いてデータの通信を行うような機器においては、ケーブルが未接続の場合にはデータの通信が不可能であり、これらの機器の消費する電力の殆どは無駄な電力の消費となっている。特に、バッテリー等の蓄電池で駆動される機器については、無駄な電力の消費は動作時間の縮小に影響する為、重大な問題になる。

【0006】その為、通信を行わない時（ケーブルが接続されていない場合など）は、物理層は上記の2. のロジック部分へのクロック供給を停止する事は可能であるが、システム全体へのクロック供給を停止することができない為、上記3. のシステムクロックの発生部を停止させ、消費電力を十分に低く抑える事は困難であった。

【0007】以上より本発明の目的は、消費電力をさらに低く抑える為に、システムクロック発生部分の停止をも可能にし、周辺機器だけでなく、システムクロックの停止信号を上記のポートインターフェース部に供給する事により、さらに消費電力を低く抑える事を可能にするパワーセーブシステムを提供することである。

【0008】

【課題を解決するための手段】本発明によるパワーセーブシステムは、ケーブルの接続の有無を検出するケーブルの接続検出手段と、前記ケーブルの接続検出手段の出力に応じてシステムクロックをカウントするカウント手段と、前記カウント手段のカウント値が所定の値となることを検出するパターン検出手段と、前記パターン検出手段の検出結果に応じてシステムの動作を制御するシステムクロック発生手段とを具備することを特徴とする。

【0009】上記構成を有するパワーセーブシステムで

あると、無駄な回路の動作を停止させる事によって、消費電力を押さえる事が可能であり、特に、電源の供給に制限を受ける機器には、駆動時間の延長の効果がある。

【0010】また本発明によるパワーセーブシステムは、前記システムクロック発生手段は、システムクロックを発生する水晶発振回路と、電圧制御発振回路と、前記電圧制御発振回路の発振信号を所定の値に分周する分周回路と、前記分周信号と前記基準クロックの位相を比較する位相比較器と、前記位相比較器の出力を平滑するローパスフィルタから構成され、前記水晶発振回路と前記電圧制御発振回路の発振動作自体を動作許可または動作停止することを特徴とする。

【0011】上記構成を有するパワーセーブシステムであると、無駄な回路の動作を停止させる事によって、消費電力を押さえる事が可能であり、特に、電源の供給に制限を受ける機器には、駆動時間の延長の効果がある。

【0012】また本発明によるパワーセーブシステムは、前記水晶発振回路からのシステムクロックの動作が停止した一定期間前と、前記動作の停止からの復帰の一定時間後との所定のタイミングを周辺回路に通知する手段と、前記周辺回路の動作状態の初期化を行う手段とを具備したことを特徴とする。

【0013】上記構成を有するパワーセーブシステムであると、システムクロックが停止するとともに、アナログ回路の動作が停止しシステムをパワーセーブモード状態にすることができる。

【0014】また本発明によるパワーセーブシステムは、前記システムクロックの動作の停止を伝える信号を、ケーブルポートインターフェースのアナログ回路ブロックに供給し、前記ケーブル接続検出回路部分以外のアナログ回路の動作を停止させることを特徴とするを具備したことを特徴とする。

【0015】上記構成を有するパワーセーブシステムであると、ケーブル接続検出回路部分以外のアナログ回路の動作を停止させることにより、アナログ回路ブロックの消費電力も削減できる。

【0016】

【発明の実施の形態】本発明は以下の実施の形態を図面を用いて説明するが、本発明はここで説明する実施の形態に限定されるものではない。下記実施の形態は発明の目的を逸脱しない限りにおいて多様に変形することができる。

【0017】本発明は、シリアルまたはパラレルでデータ通信を行う機器において、通信ケーブル接続情報から、ケーブルの未接続を検知し、前記機器のシステムクロック（基準クロック）を制御して、不要な電力の消費を押さえることを可能とするパワーセーブシステムである。

【0018】本発明の実施の形態を以下に図1から図3を用いて説明する。

【0019】図1は本発明の第1の実施形態であり、3つのケーブル接続ポートを有している、パワーセーブシステムのブロック図である。

【0020】図1に示すように、10、20、30は、各ケーブル接続ポートの接続検出回路であり、ケーブル接続が有る場合H（ハイ）レベルを出力し、ケーブル接続が無い場合L（ロー）レベルを出力する。次に40は、ケーブル接続検出回路10、20、30の出力の論理和をとるORゲートであり、検出信号がすべてLレベルの時、すなわち、3つのケーブルポートがすべて未接続状態の時、Lレベルを出力する。前記以外の場合はHレベルを出力する。

【0021】以上のように、これらのケーブル接続検出回路10、20、30とORゲート40は、電源が入っている限りは常に動作を行う回路である。

【0022】さらに、図1に示すように、220、230、240は、入力（k）、（l）、（m）の未使用設定信号の論理積の極性反転を取るNOTゲートであり、信号の反転した極性を出力するものである。

【0023】また、250、260、270は、接続検出回路10、20、30の出力と220、230、240のそれぞれの出力を論理積をとるANDゲートであり、入力（k）、（l）、（m）がそれぞれLレベル設定のときのみ、接続検出回路10、20、30の出力を、ORゲート40に入力する。

【0024】次に前記ORゲート40からの信号を受ける50は、システムクロック信号をカウントするアップカウンタである。前記アップカウンタ50は、前記ORゲート40の出力がHレベルの時には、システムクロックの有無にかかわらず、カウンタの内容がクリアされる非同期クリア動作機能を有している。

【0025】また図1中の60は、前記アップカウンタ50のカウント値のパターン検出回路であり、アップカウンタ50のカウント値が所定値以上になるとHを出力し、それ以外の場合にはLを出力するものである。

【0026】さらに図1中の70は、パワーセーブモードの許可／禁止を制御するパワーセーブ許可信号（入力信号）と、前記パターン検出回路60で検出した信号との論理積をとるANDゲートである。前記ANDゲート70は、パワーセーブ許可信号がHの時、パターン検出回路60の出力信号を出力し（パワーセーブモードならばH）、パワーセーブ許可信号がLの時は、Lを出力するものである。

【0027】さらに図1中の80は、システムクロックを発生するためのシステムクロック発生手段である。また、前記70のANDゲートの出力がHレベルの時、水晶発振回路81とVCO82は発振が停止し、システムクロック供給が停止する。さらに図1中の100、110、120は、各ケーブルポートの未使用設定信号と、ANDゲート70の出力信号の論理和をとるORゲート

であり、未使用設定信号がHレベルか、または、パワーセーブモードに入った時(70の出力がH)に、Hを出力する。

【0028】さらに130、140、150は、各ケーブルポートインターフェースのアナログ回路ブロックであり、前記信号100、110、120がそれぞれHを出力時、アナログ回路の動作を停止させる機能を有している。

【0029】また160は、カウンタ50のカウンタ値のパターン検出回路であり、カウンタ50のカウンタ値が所定値以上になるとHを出力し、それ以外の場合にはLを出力する。

【0030】次に図1中の170は、システムクロック信号をカウントするアップカウンタである。このカウンタは、システムクロックの有無にかかわらず、カウンタの内容がクリアされる非同期クリア動作機能を有している。また180は、カウンタ170のカウンタ値のパターン検出回路であり、パターン検出回路60の出力の立ち上がりタイミングでHを出力し(この時点でカウンタ170はクリアされている)、カウンタ170のカウンタ値が所定値以上になるとLを出力する。

【0031】さらに190は、前記パターン検出回路160と、前記パターン検出回路180の出力の論理和をとるORゲートであり、パターン検出信号のどちらかでもHである時、Hを出力している。また図1中の200では、前記ORゲート190の出力の極性反転のNOTゲートであり、ORゲート190の出力信号極性を反転させている。

【0032】また210は、前記システムクロック発生手段80と前記NOTゲート200の出力の論理積をとるANDゲートであり、パターン検出回路160と180のどちらかでもHを出力された時のみ、システムクロック発生手段80で発生させたシステムクロック出力を外周クロックとして出力を行う。

【0033】次に図2には、前記図1中のシステムクロック発生手段80のブロック図を示した。図2に示すように、システムクロック発生手段80は、水晶発振回路81と電圧制御発振回路(VCO)82、分周回路83、位相比較器84、ローパスフィルタ85から構成されている。まず、(h)から入力された信号を前記水晶発振回路81で発生する基準クロックとVCO82で発生するシステムクロックの分周信号を位相比較器84で比較し、その誤差量を分周回路83を経由してVCO82にフィードバックすることで、基準クロックの整数倍にあたるシステムクロックを生成し、(i)から出力するものである。

【0034】図3は、この発明の実施形態の動作を説明する為のタイミングチャートである。図3に示すように、①～⑤の記号は時間軸であり、以下の説明は時間順に追って説明する。図3に示すように、①から⑤まで

は、通常動作モードからパワーセーブモードに入るまでの動作を示しており、⑥から⑨は、パワーセーブモードから通常動作モードへ戻るまでの動作を示している。なお、かっこ内のアルファベットは、図3中のタイミングチャートの波形を示し、参照符号は図1中のものを示している。

【0035】図3中の①の時点では、(k)、(l)、(m)の未使用設定がされていない為、Lを出力している。また、(c)では、ケーブル接続ポートの接続検出回路30がケーブル未接続を検出して、L出力を行っている。(a)(b)では、ケーブル接続ポートの接続検出回路10と20はケーブルが接続されているのでHが出力されている。

【0036】図3中の②の時点においては、(b)では、ケーブル接続ポートの接続検出回路20がケーブルの未接続を検出してLを出力する。図3中の③の時点においては、(a)では、ケーブル接続ポートの接続検出回路10がケーブルの未接続を検出してLを出力するか、(k)が未使用設定に設定されHを出力した場合Lを出力する。これにより、未使用設定時と、未接続検出時で全く同様なパワーダウンの動作を行っている。

【0037】前記動作例では、各ケーブル接続ポートの接続検出回路10、20、30がケーブルの未接続を検出する場合の説明を行っており、以下のように動作する。

【0038】(a)においては、各ケーブル接続ポートの接続検出回路10、20、30がケーブルの未接続を検出してLを出力し、(d)でORゲート40は、3つのケーブルが未接続になったためLを出力する。次に(e)においては、アップカウンタ50が、ORゲート40がLに変化した為、カウントアップを開始する。これより、3つのケーブルの未接続を検出した為、パワーセーブモードへ移行するまでの時間カウントを開始している。

【0039】図3中の④時点においては、(q)では、パターン検出回路160は、50のアップカウンタが所定値までカウントアップした為、Hを出力する。(t)では、ORゲート190は、前記パターン検出回路160がHに変化した為、Hを出力する。これにより、周辺回路にシステムクロックの停止予告を通知している。

【0040】図3中の⑤の時点では、(f)において、パターン検出回路60は、アップカウンタ50のカウンタが所定値までカウントアップした為、Hを出力し、(s)で、パターン検出回路180は、前記パターン検出回路60がHに変化した時、Hを出力する。

【0041】また(h)では、ANDゲート70が、パワーセーブ許可信号(g)と前記(f)のANDをとり、Hを出力し、(i)では、システムクロック発生手段80は、前記ANDゲート70の出力がHに変化したので、システムクロックを停止するものである。

【0042】このとき、各(n)、(o)、(p)は、100、110、120の出力であり、各ケーブルポートの未使用設定信号(k)、(l)、(m)と、ANDゲート70との出力信号のORをとり、Hを出力する。

【0043】図3中の各アナログ回路ブロック130、140、150では、100、110、120のH出力を受けて、各ケーブルポートインターフェースのアナログ回路の動作を停止させる。

【0044】以上の④から⑤のタイミングまでの時間は、システムクロックを停止する前に周辺回路の動作を初期化するための待機時間として取っている。ここま

で、システムクロックが停止するとともに、アナログ回路の動作が停止し、システムはパワーセーブモードになる。

【0045】次に図3中の⑥の時点では、(a)においてケーブル接続ポートの接続検出回路10は、ケーブルの接続を検出しHを出力する。(d)では、ORゲート40は、ケーブル接続ポートの接続検出回路10がHに

変化した為、Hを出力する。

【0046】また(e)では、アップカウンタ50は、前記40がHに変化した為、カウンタがリセットされる。(f)においては、パターン検出回路60は、前記アップカウンタ50のリセットを検出してLを出力す

る。

【0047】図3中の(h)では、ANDゲート70は、前記パターン検出回路60がLに変化した為、Lを出力する。(i)では、システムクロック発生手段80は、ANDゲート70がLに変化した為、クロックの発振を開始している。このとき、信号100、110、120からは、各ケーブルポートの未使用設定信号の

(k)、(l)、(m)が出力される。また、(n)、(o)、(p)において130、140、150は上記のケーブルポートの未使用設定信号(k)、(l)、(m)を受けて、ケーブルポートインターフェースのアナログ回路の動作を開始する。

【0048】図3中の(q)では、パターン検出回路160は、ORゲート40の出力(d)がHに変化した為Lを出力し、(r)においては、アップカウンタ170は、パターン検出回路60がLに変化した為、カウントアップを開始する。これにより、システムクロックが発

生し始める。

【0049】図3中の⑦の(s)では、時点でパターン検出回路180は、アップカウンタ170のカウントが所定値までカウントアップした為、Lを出力し、(t)では、ORゲート190は、パターン検出回路160、アップカウンタ170共にLに変化した為、Lを出力する。

【0050】また(u)では、NOTゲート200は、ORゲート190の極性反転の為、Hを出力し、(v)では、ANDゲート210で、NOTゲート200がH

に変化した為、システムクロック発生手段80のクロック発振を出力する。

【0051】以上の⑥から⑦のタイミングまでの時間は、システムクロックの生成が安定化するまでの待機時間として取っているものである。

【0052】図3中の⑧の時点では、通常の動作を行う。

【0053】以上、本発明を用いることにより、無駄な回路の動作を停止させる事によって、消費電力を押さえる事が可能であり、特に、電源の供給に制限を受ける機器には、駆動時間の延長の効果がある。また、消費電力をさらに低く抑える為に、3のシステムクロック発生部分も停止を可能にできる。また、システムクロックを停止する為に、クロック停止の期間の前後、一定期間のタイミングで周辺機器に対して通知する手段を有することにより、クロックの停止または開始の対策処理を行えるようになり、システムクロックの停止を可能にした。さらに、周辺機器だけでなく、システムクロックの停止信号を上記のポートインターフェース部に供給する事により、さらに消費電力を低く抑える事を可能にした。

【0054】

【発明の効果】本発明を用いると、無駄な回路の動作を停止させる事によって、消費電力を押さえる事が可能であり、特に、電源の供給に制限を受ける機器には、駆動時間の延長等の効果がある。

【図面の簡単な説明】

【図1】本発明の実施形態に係るブロック図を示す図。

【図2】図1は図1のシステムクロック発生手段のブロック図を示す図。

【図3】本発明の実施形態に係るタイミングチャートを示す図。

【符号の説明】

10、20、30…各ケーブル接続ポートの接続検出回路

81…水晶発振回路

82…電圧制御発振回路(VCO)

83…分周回路

84…位相比較器

85…ローパスフィルタ

40…ORゲート

50…アップカウンタ

60…パターン検出回路

70…NANDゲート

80…システムクロック発生手段

100、110、120…ORゲート

130、140、150…ケーブルポートインターフェースのアナログ回路ブロック

160…パターン検出回路

170…アップカウンタ

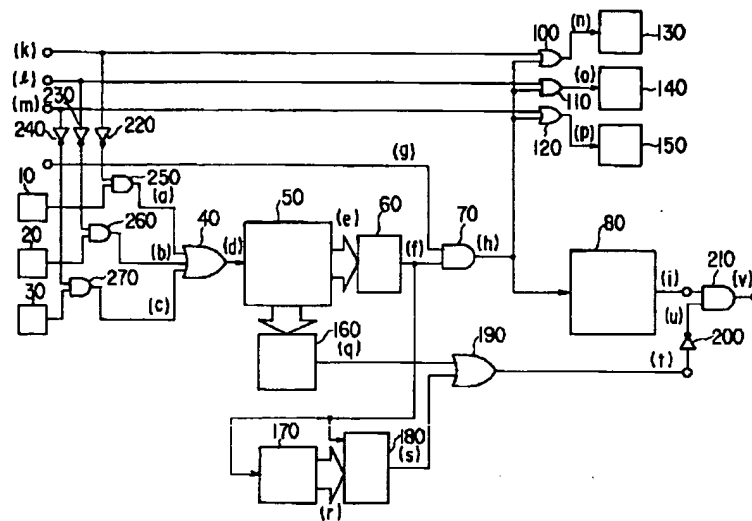
180…パターン検出回路

190...ORゲート

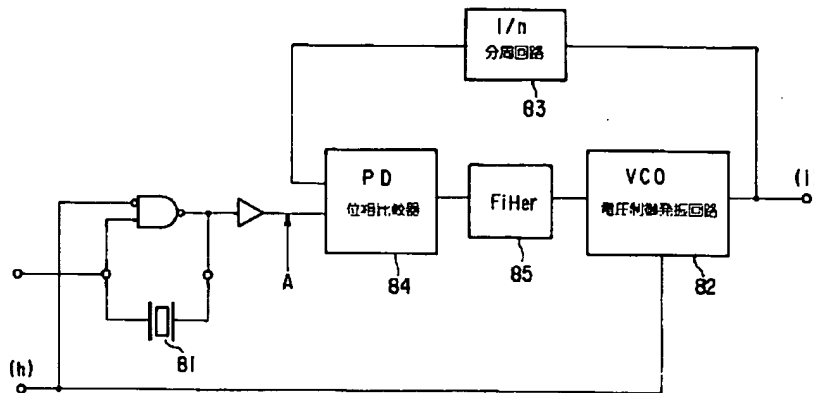
- (a) 第1ケーブルポートのケーブル接続検出信号
- (b) 第2ケーブルポートのケーブル接続検出信号
- (c) 第3ケーブルポートのケーブル接続検出信号
- (d) ケーブル未接続検出信号
- (e) パワーセーブカウンタ値
- (f) パワーセーブ検出信号
- (g) パワーセーブ許可信号
- (h) クロック停止信号
- (i) システムクロック信号

- (k) 第1ケーブルポートの未使用設定信号
- (l) 第2ケーブルポートの未使用設定信号
- (m) 第3ケーブルポートの未使用設定信号
- (n) 第1ケーブルポートの未使用信号
- (o) 第2ケーブルポートの未使用信号
- (p) 第3ケーブルポートの未使用信号
- (q) パワーセーブモード移行通知信号
- (r) システムクロック安定期間カウンタ値
- (s) システムクロック安定期間信号
- (t) ケーブルノットアクティブ信号

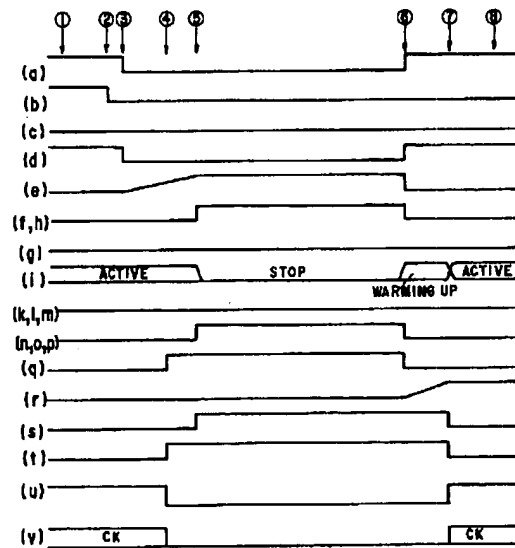
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 水崎 泰行
東京都港区新橋3丁目3番9号 東芝エ
ー・ビー・イー株式会社内

Fターム(参考) 5B011 EB03 HH02 LL11
5B079 BA13 BA15 BC01 DD01 DD02
DD03 DD20
5K034 AA15 GG06 HH03 HH04 HH65
JJ20 PP01 TT02 TT04